



インテル® Xeon Phi™ のプログラミングモデルと アプリケーション分野

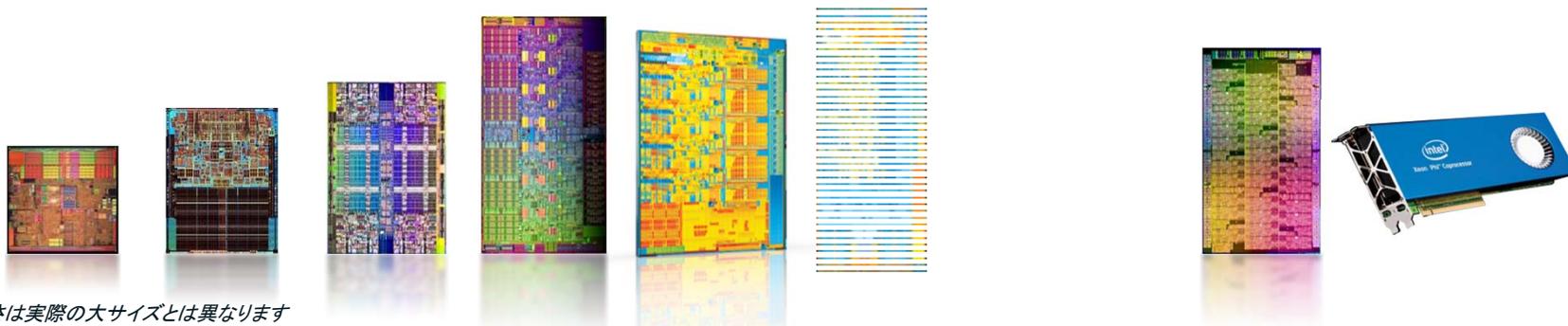
インテル® Xeon Phi™ が高性能を低消費電力で実現できる超並列のプログラミングモデルとその適用可能なアプリケーションについて紹介する

内容

- インテル® Xeon™ プロセッサーとインテル® Xeon Phi™ コプロセッサー
- Phi コプロセッサーの高並列アーキテクチャ
- Phi コプロセッサーに適したアプリ領域とプログラミング環境
- 現状の性能データ
- まとめ

より多くのコア、広いベクトル、コプロセッサ

パフォーマンスを得るには、ツールは 並列性を考慮しなければならない



イメージの大きさは実際の大サイズとは異なります

	インテル® Xeon® プロセッ サー 64 ビッ ト	インテル® Xeon® プロセッ サー 5100 シリーズ	インテル® Xeon® プロセッ サー 5500 シリーズ	インテル® Xeon® プロセッ サー 5600 シリーズ	インテル® Xeon® プロセッ サー コード名 Sandy Bridge	インテル® Xeon® プロセッ サー コード名 Ivy Bridge	インテル® Xeon® プロセッ サー コード名 Haswell	インテル® MIC コプロセッ サー コード名 Knights Ferry	インテル® Xeon PHI™
コア数	1	2	4	6	8	12	14	32	61
スレッド数	2	2	8	12	16	24	28	128	>240
SIMD 幅	128	128	128	128	256	256	256	512	512
	SSE2	SSSE3	SSE4.2	SSE4.2	AVX	AVX	AVX2 FMA3		IMCI

ソフトウェアの挑戦: スケーラブルなソフトウェアを開発する



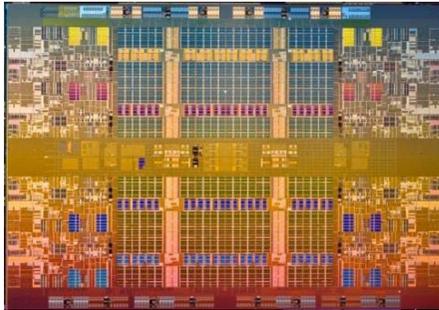
インテル® Xeon™ プロセッサの特徴

- 単スレッドパフォーマンスが高い
 - コアが6個の実行パイプを持ち、out of order
 - ラストレベルの共有キャッシュが大きい
- 固有機能命令拡張
 - AES等の暗号化、乱数
- 仮想化やRAS 等の商用に有効な機能

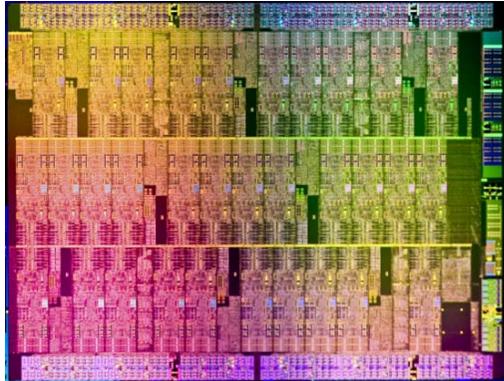
- マルチコア、マルチスレッド（8から12コア）
- AVX 1.0 (256bit) => 単精度 8要素、倍精度 4要素

インテル® MIC アーキテクチャー

インテルのマルチ & メニーコア・エンジン



マルチコア・インテル® Xeon® プロセッサー
2 - 3.5 GHz



インテル® メニー・インテグレートッド・コア
1-1.5 GHz

ダイサイズは比例しません

インテル® Xeon® プロセッサー:

- インテルの HPC パフォーマンスの基礎
- すべての領域のワークロードに適合
- シリアルおよび高度に並列化されたワークロードのための業界をリードするパフォーマンス / ワット

インテル® MIC アーキテクチャー:

- 高並列化された計算主体のワークロード向けに最適化されている
- Xeon プロセッサーと共通のプログラミングモデルとソフトウェア開発ツールにより、効率良いアプリケーションの準備と性能チューニングを可能にする
- 22nm プロセスにより 50 コア以上で投入され、高度に並列化された HPC 用途に向けパフォーマンス達成のため要求される メモリバンド幅

Intel® Xeon Phi™ 製品ファミリー

Intel® Many Integrated Core アーキテクチャ



超並列のアプリケーション用の製品ファミリー／アーキテクチャ

- 多数の小型で低消費電力のIAコアで構成される
- 512 bit 幅のベクトル演算
- Intel® Xeon® プロセッサ製品を補完する
- 超並列のアプリケーションに対して画期的な性能を実現
 - 広く用いられているx86 のプログラミング・モデルを踏襲
 - 同じソース・プログラムを Intel® Xeon® & Intel® MIC で共用 (SIMD命令が異なり、バイナリ互換ではない)
 - 最初の製品はPCI Ex のカード形状のコプロセッサとして提供

インテル® Xeon Phi™ コプロセッサ：コード名 Knights Corner (KNC)

- 最大 61 コア、コア当たり4スレッド
- 最大 16GB の GDDR5 メモリ (最大 352 GB/s)
- 225-300W (冷却方式：パッシブおよびアクティブ製品)
- X16 PCI Ex のカード (IA のホストプロセッサが必要)

インテル® Xeon Phi™ 製品ファミリー

インテル® メニー・インテグレートッド・コア (インテル® MIC)
アーキテクチャー・ベース

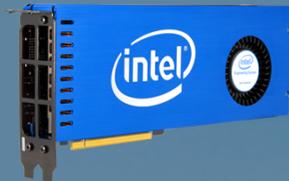
将来の
Knights⁺
製品

Knights Corner⁺

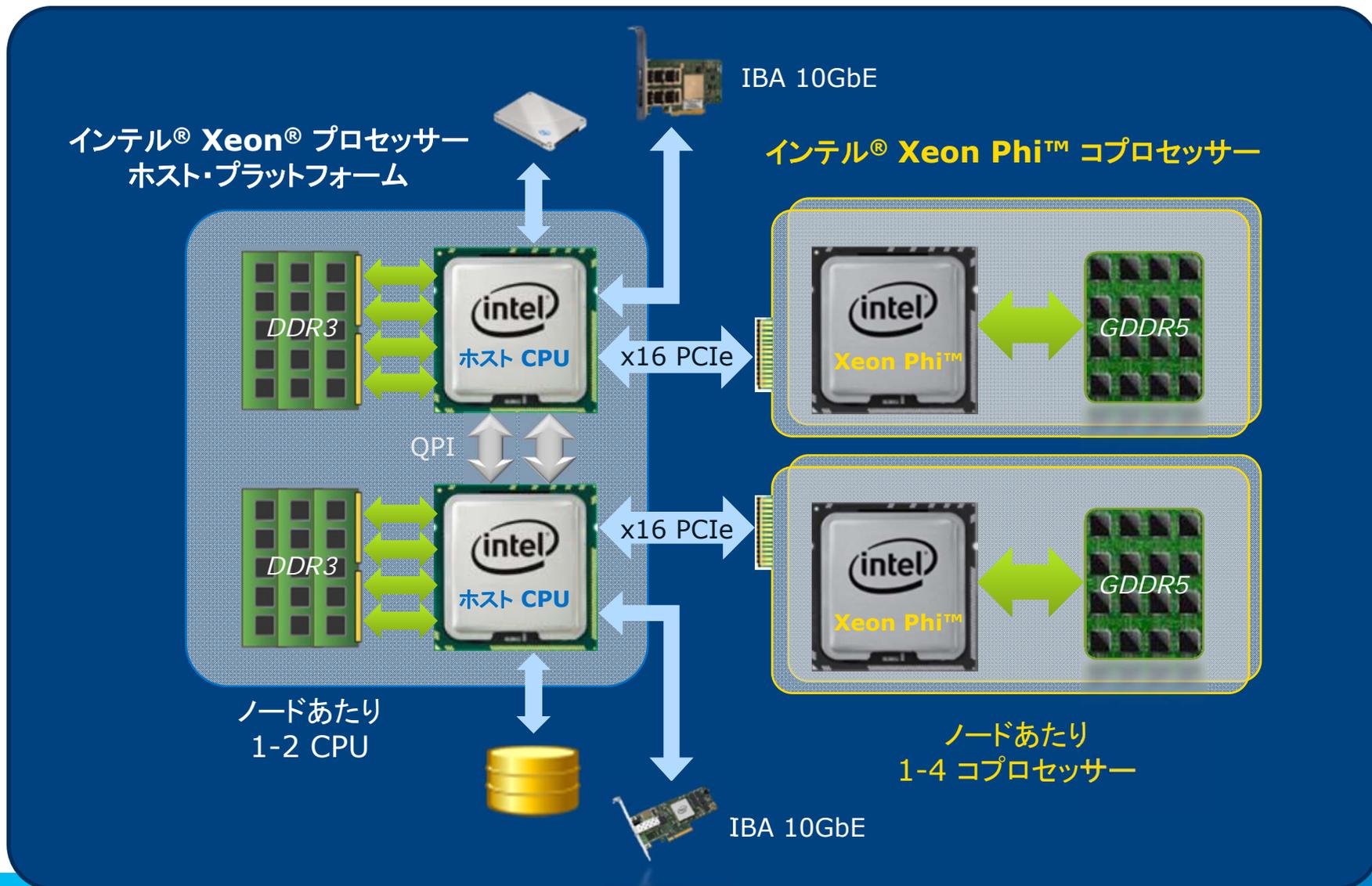
最初のインテル® MIC 製品
22nm プロセス
50 を超えるインテル®
アーキテクチャー・コア

Knights Ferry⁺

ソフトウェア開発
プラットフォーム



インテル® Xeon Phi™ コプロセッサ プラットフォーム概要



Intel® Xeon Phi™ コプロセッサ: 適用範囲の広がり

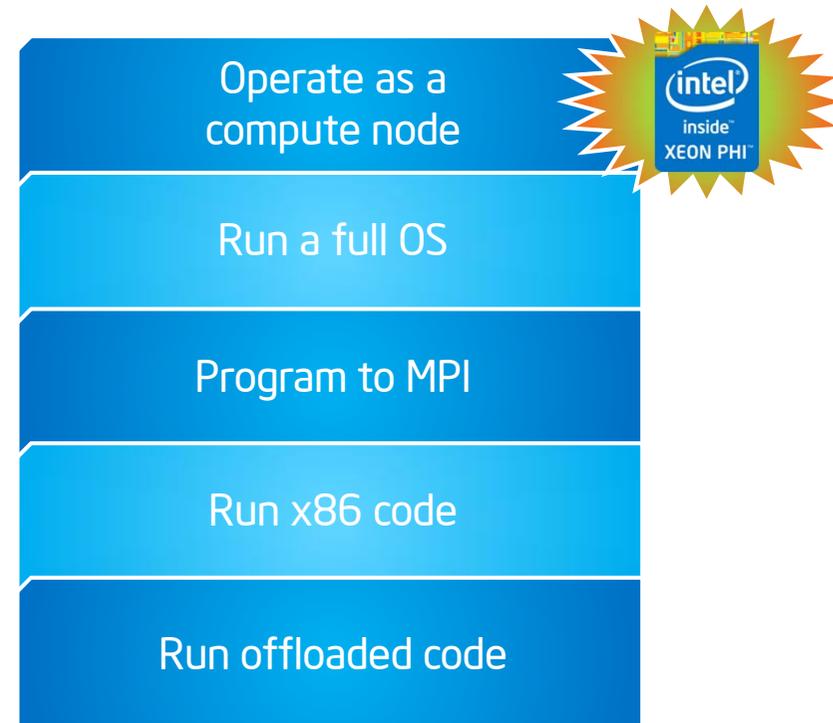
汎用の IA ハードウェアの採用で、ソフトウェア開発時間を節約

制限のあるアーキテクチャ

1チップのスパコン



カスタムHW 加速器



Intel® Xeon Phi™ コプロセッサ*

*Refer to software.intel.com/mic-developer for details on the Intel Xeon Phi™ coprocessor

インテル® Xeon Phi™ コプロセッサと開発ツール

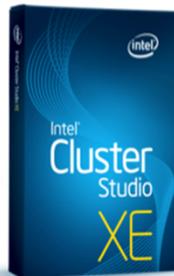
インテル® Xeon Phi™ コプロセッサ
対応インテル開発ツール

C, C++, Fortran
インテル、サードパーティー・ツール

インテル® Xeon Phi™ コプロセッサ
対応版新登場



対応済



新登場

インテル、
サードパーティー・ツール

性能

インテル® Xeon Phi™ コプロセッサ 5110P

1.011 TFLOPS
の倍精度演算性能 (ピーク時)

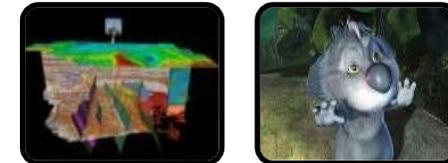


2013年上半期
登場

8GB GDDR5メモリー 搭載
320 GB/sの帯域幅

最適なアプリケーション

様々なHPCワークロードに
対応



ストリーミング、デジタル・
コンテンツ制作、エネルギー
採掘シミュレーション等

インテル® Xeon Phi™ コプロセッサ 3100 製品ファミリー

1 TFLOPS超
の倍精度演算性能 (ピーク時)



2013年上半期
登場

6GB GDDR5メモリー 搭載
240 GB/sの帯域幅

演算処理中心の
ワークロードに最適



モンテカルロ法、ブラックショールズ、
Linpack、医療・ライフサイエンス等

インテル® Xeon Phi™ コプロセッサ 製品ファミリ

7ファミリ
最高性能で最大メモリ
Performance leadership

16GB GDDR5
352GB/s
>1.2TF DP
300W TDP



5ファミリ
高密度実装環境に最適化
Performance/watt leadership

8GB GDDR5
>300GB/s
>1TF DP
225-245W TDP



3ファミリ
優れた並列計算ソリューション
Performance/\$ leadership

6GB GDDR5
240GB/s
>1TF DP
300W TDP



Software and workloads used in performance tests may have been optimized for performance only on Intel microprocessors. Performance tests, such as SYSmark and MobileMark, are measured using specific computer systems, components, software, operations and functions. Any change to any of those factors may cause the results to vary. You should consult other information and performance tests to assist you in fully evaluating your contemplated purchases, including the performance of that product when combined with other products. For more information go to <http://www.intel.com/performance>

Xeon Phi™ コプロセッサで利用可能なツール

コンパイラ、言語、開発ツール

- Intel(R) Parallel Studio XE 2013 - C++ Fortran のコンパイラ-とライブラリ、OpenMPやCilk Plus による並列化、MKL等並列化ライブラリ、スレッドのプロファイルやデバッグツール等
- Intel(R) Cluster Studio XE 2013 - 性能とスケーラビリティ向上のためのツール、MPIライブラリやMPIのプロファイル・ツール

Intel(R) SDK for OpenCL Applications XE 2013 Beta

- CAPS Compilers
- gcc (*SEE NOTE below)
- ISPC (also see instructions for compiling ISPC)
- PGAS GPI for MIC (Beta)

ライブラリ

- Accelereyes ArrayFire (Beta)
- Boost
- MAGMA
- MVAPICH2
- NAG Libraries

デバッガー

- Allinea DDT
- GDB
- Rogue Wave TotalView

アナライザー

- Allinea MAP
- PAPI (note: validated against MPSS Gold update 2)
- Speedometer and Overhead
- Tuning and Analysis Utilities (TAU)

内容

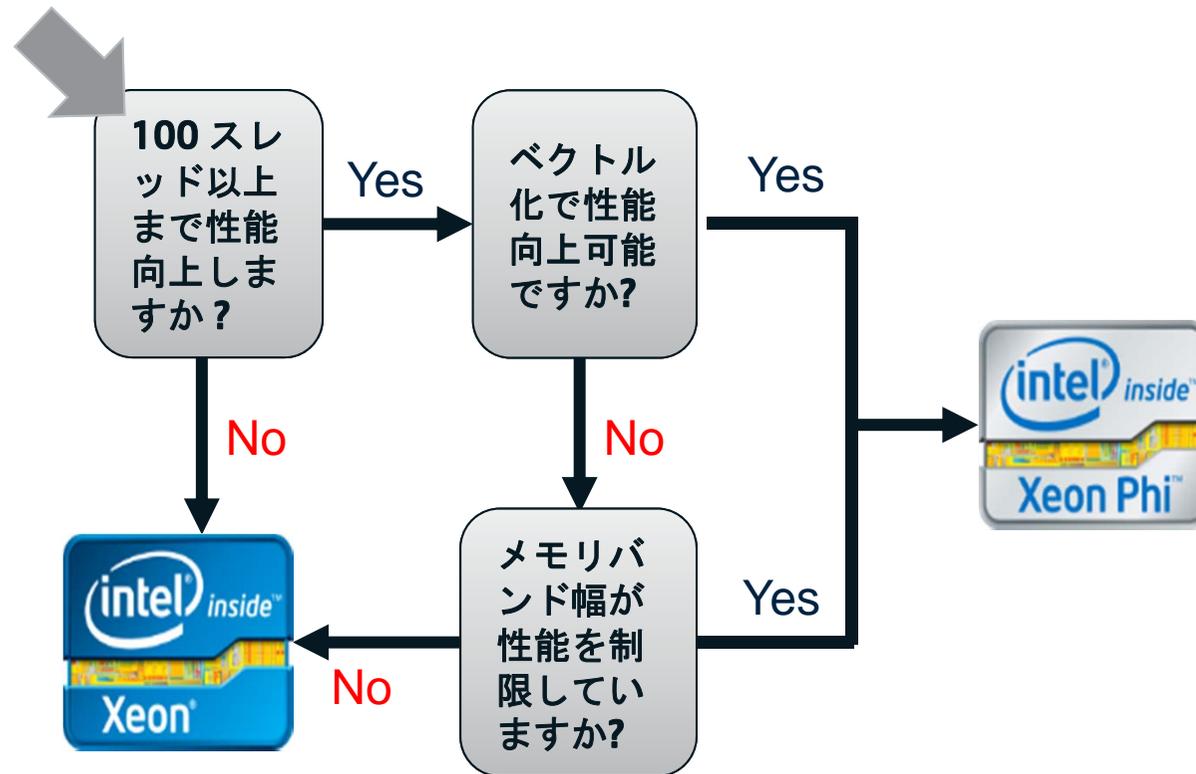
- インテル® Xeon™ プロセッサーとインテル® Xeon Phi™ コプロセッサー
- Phi コプロセッサーの高並列アーキテクチャ
- Phi コプロセッサーに適したアプリ領域とプログラミング環境
- 現状の性能データ
- まとめ

プロセス並列で、インテル® Xeon Phi™ Coprocessor を用いて性能向上が望める場合

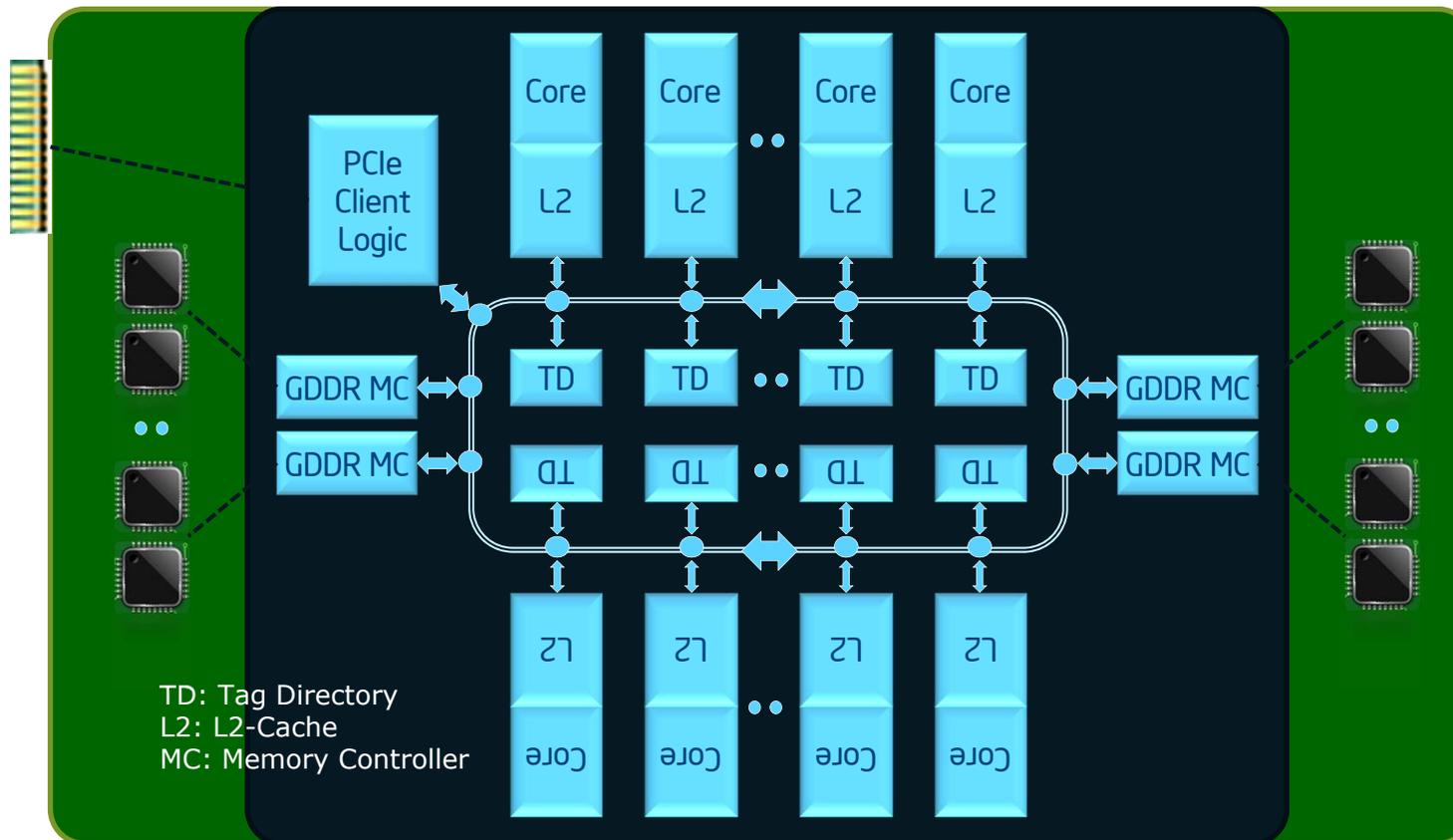
- エンバラシングリィ・パラレル
- 多数のプロセスを同時に実行して、同じ計算やサーチを異なる条件で行い、結果を利用（リダクション）
- 但し、キャッシュはコアあたり 512KB のみ
 - メモリ参照レイテンシが大きい
 - メモリバンド幅も律速となる
- メモリ以外の入出力能力もスレッド数に対して弱い
 - 容量／バンド幅を考えて全体で協調

インテル® Xeon Phi™ Coprocessor を用いて性能向上が望めるかどうかの判定方法

検討中のアプリケーションは



インテル® Xeon Phi™ コプロセッサ アーキテクチャー概要



L1 キャッシュ:

- L1I=32KB L1D=32KB
- 8-way
- キャッシュライン=64 バイト

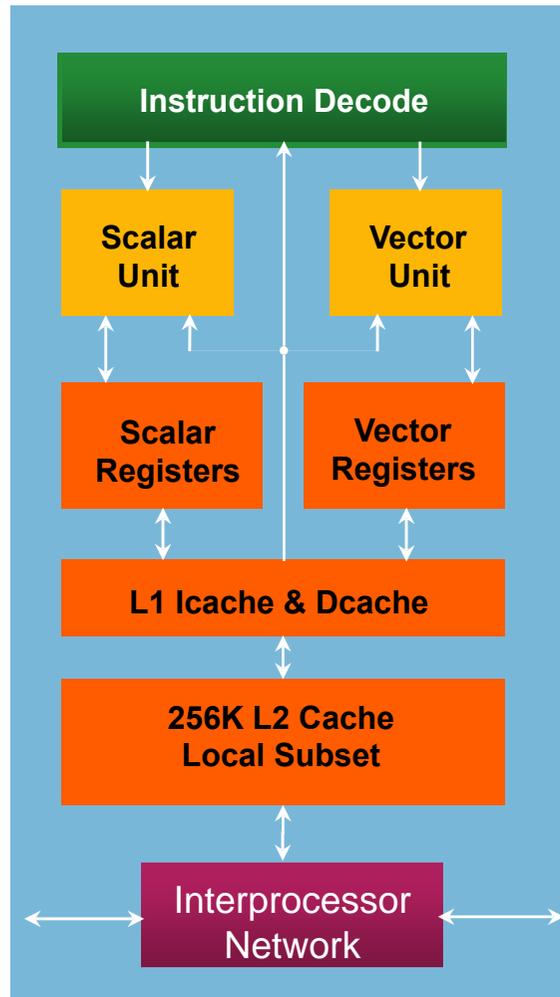
L2 キャッシュ:

- 512 KB
- 8-way
- キャッシュライン=64 バイト

メモリー:

- GDDR5
- 最大 16GB の容量
- 16 メモリーチャネル
- 最大 352GB/s のメモリーバンド幅

Knights Corner コア



Intel®Xeon Phi™コプロセッサ・コア:

- 2命令発行の Pentium プロセッサのスカラー・パイプライン
- 短い実行パイプライン
- 完全にコヒーレントなキャッシュ構造
- マルチスレッド、64 ビット拡張、高性能プリフェッチなど最新のテクノロジーを拡張
- コアあたり 4 スレッドを実行(但し1つのスレッドでは連続してデコード不可)
- スレッドごとに個別のレジスターセット
- コアあたり 32KB 命令キャッシュと 32KB データキャッシュ

拡張 x86 命令セット:

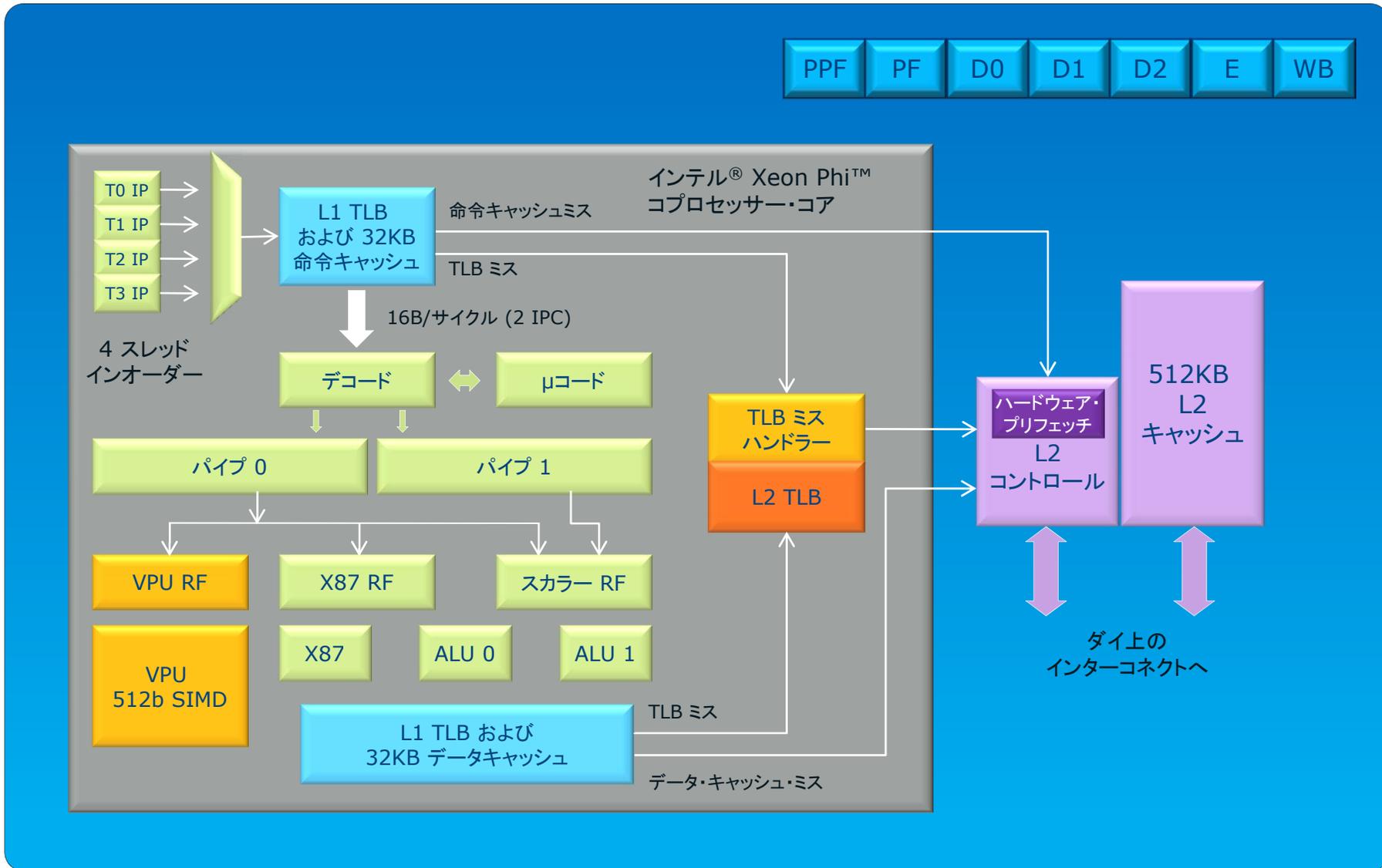
- 100 以上の新しい命令
- ワイド・ベクトル処理命令、ギャザー、スキッター - やマスク等
- いくつかの特殊スカラー命令
- 3 オペランド、16 幅ベクトル処理ユニット (VPU)
- VPU は、整数、単精度 / 倍精度命令を実行
- 浮動小数点演算で IEEE 754 2008 標準をサポート

プロセッサ間ネットワーク:

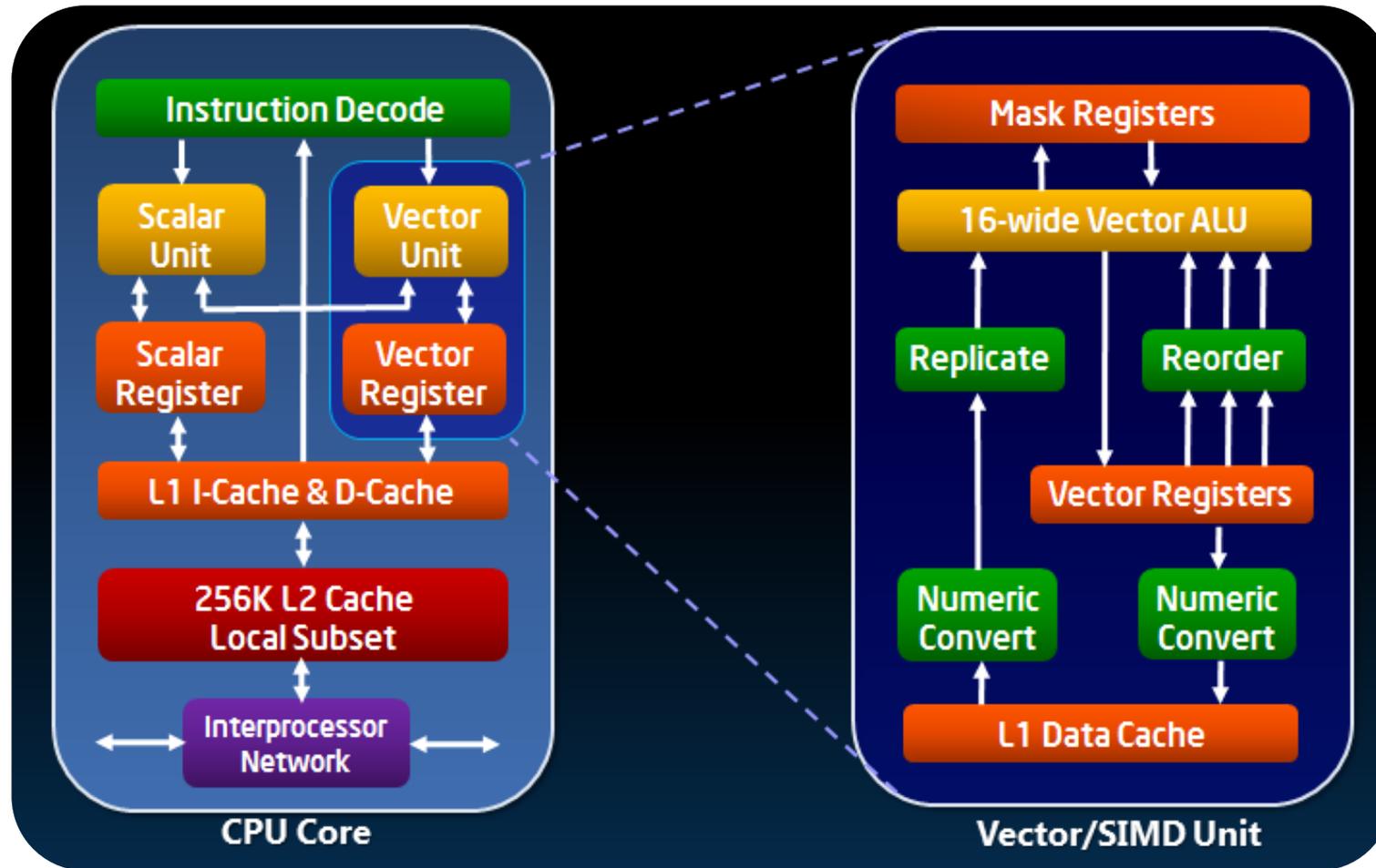
1024 ビット幅、双方向 (各方向 512 ビット)

今後のオプションは予告なしに変更される可能性があります

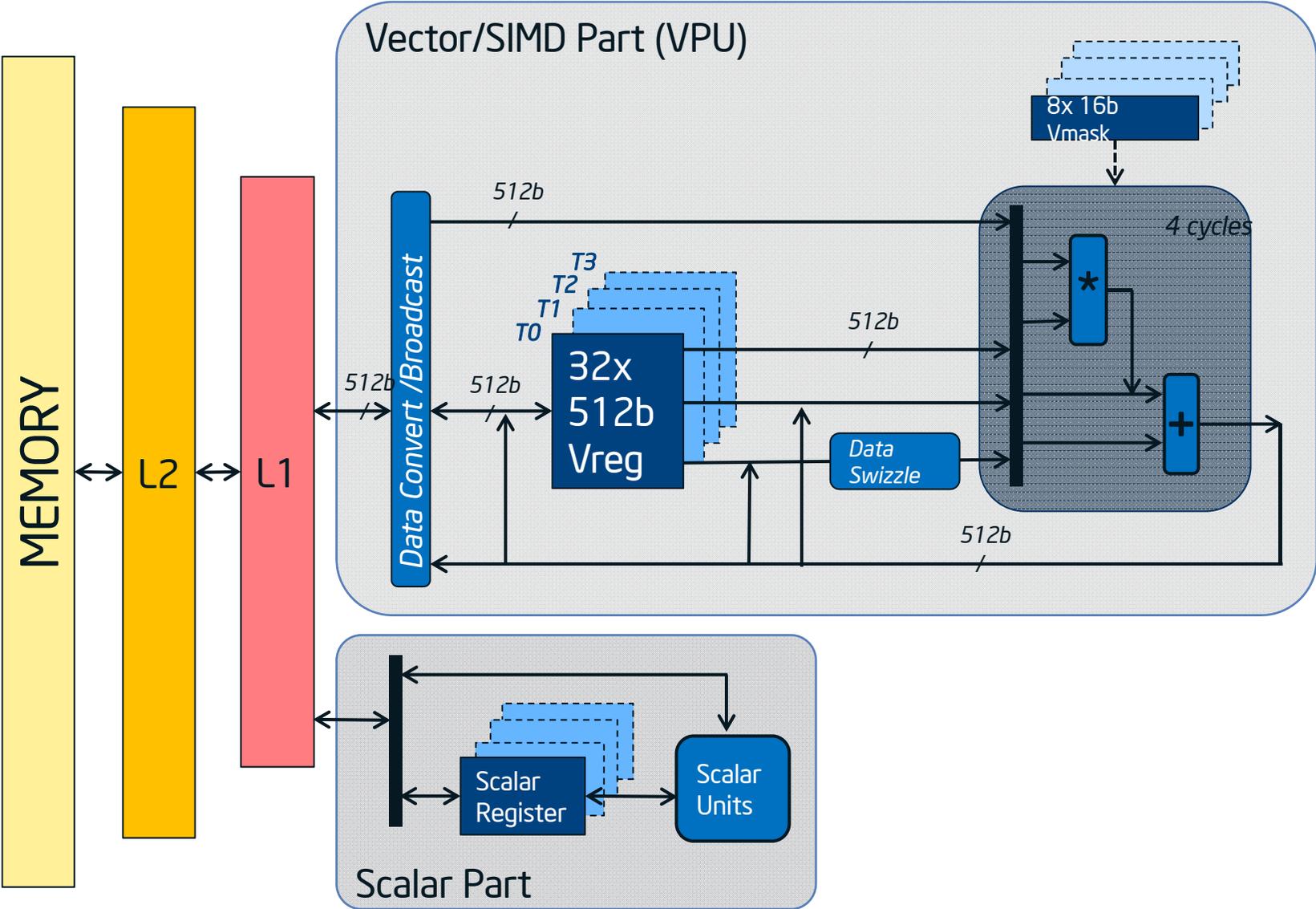
インテル® MIC アーキテクチャーのブロック図



ベクトル/SIMD 高計算密度



VPU ブロック図



新しい VPU 命令

100 以上の新しい命令

512 ビット **SIMD**

32 個の 512 ビット・ベクトル・レジスター、8 個の 16 ビット・マスク・レジスター
16 要素の FLOAT32, 8 要素の FLOAT64 もしくは 16 要素の INT32

3 オペランドの **Multiply-Add (FMA)**

少ない命令で高い flops (IEEE 準拠)

Load 操作

第三オペランドは、直接メモリーを指定できる

ブロードキャスト/スウィズリング/フォーマット変換 (Load/Store 時)

Float16、unorm8、その他 - キャッシュを効率よく利用するため許可

多くの操作でプレディケーション/マスクング

Gather/Scatter

...

今後のオプションは予告なしに変更される可能性があります

ベクトル命令の概要

ベクトル命令のフォーマット（ここではMASMの形式で表記する）

- 明示的に結果を送るレジスタを指定する 3 オペランド形式

instruction destination, source1, source2

→ 入力レジスタの内容は破壊されない

→ コードをコンパクトにできる

- (大概の) MIC 命令はマスクすることができる

instruction destination {mask}, source1, source2

→ マスクされた部分は非破壊的である、つまり、結果を送る先の値は

保持される

- 例:

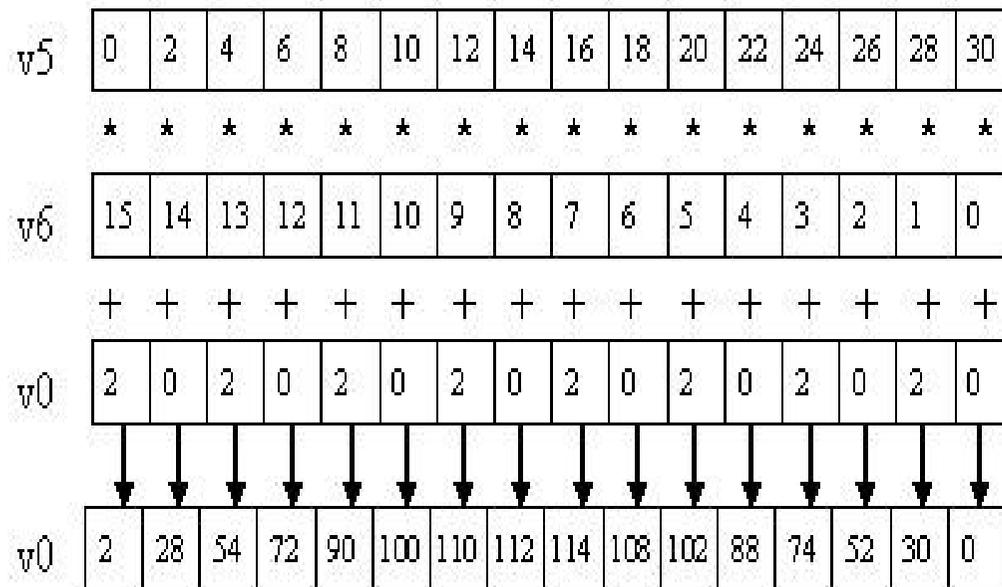
vaddps zmm1{k1}, zmm2, zmm3



Fused Multiply Add (乗加算)

Multiply-Add (デスティネーションは最初のソース)

- `Vfmadd231ps v0, v5, v6 ; v0=v5*v6+v0`
- オペランド 2 にオペランド 3 を掛けて、オペランド 1 に加算



インテル® Xeon Phi™ コプロセッサの特徴

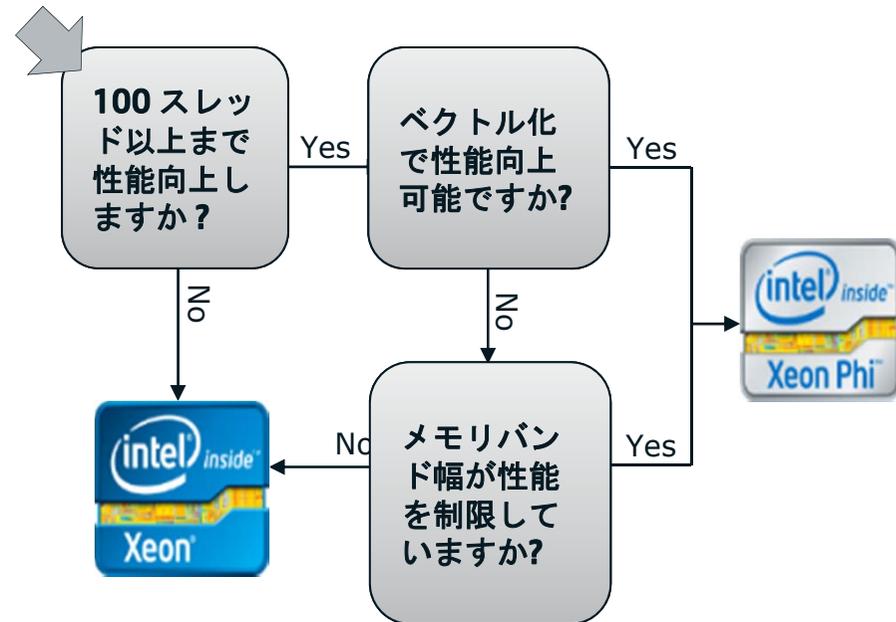
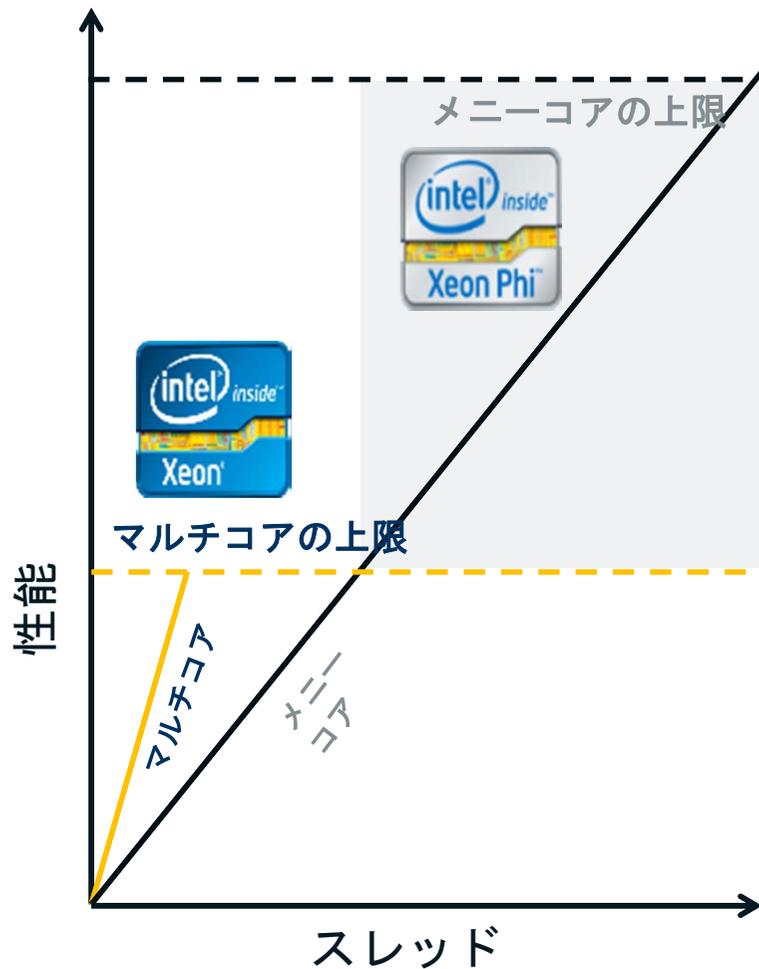
- 60 個以上の多数のコアを持ち、高並列でのマルチスレッド実行を前提に設計されている
 - 1コアあたり 4 HWスレッドをサポートし、240スレッドでの実行も可能
- 512 bit (16/8 整数、16 単精度数、8 倍精度数) のベクトル演算器を持ち、スレッドあたり 32 個のベクトルレジスタを持っている
- コヒーレントなキャッシュ構造を持ち、レイテンシーは大きい
が、高いメモリバンド幅 (352 MB/s) の最大 16GB のメモリを持っている
 - 8KB (2KB x 4) RF, 32KB L1, 512KB L2, 16GB MEM
- VPU は単精度浮動小数点数で 2 の指数 / 対数、逆数、開平とその逆数をパイプライン実行できる

- 低消費電力だが、単一スレッドパフォーマンスは低い
- プロセッサのアーキテクチャは、半導体の微細化に伴い進化する

内容

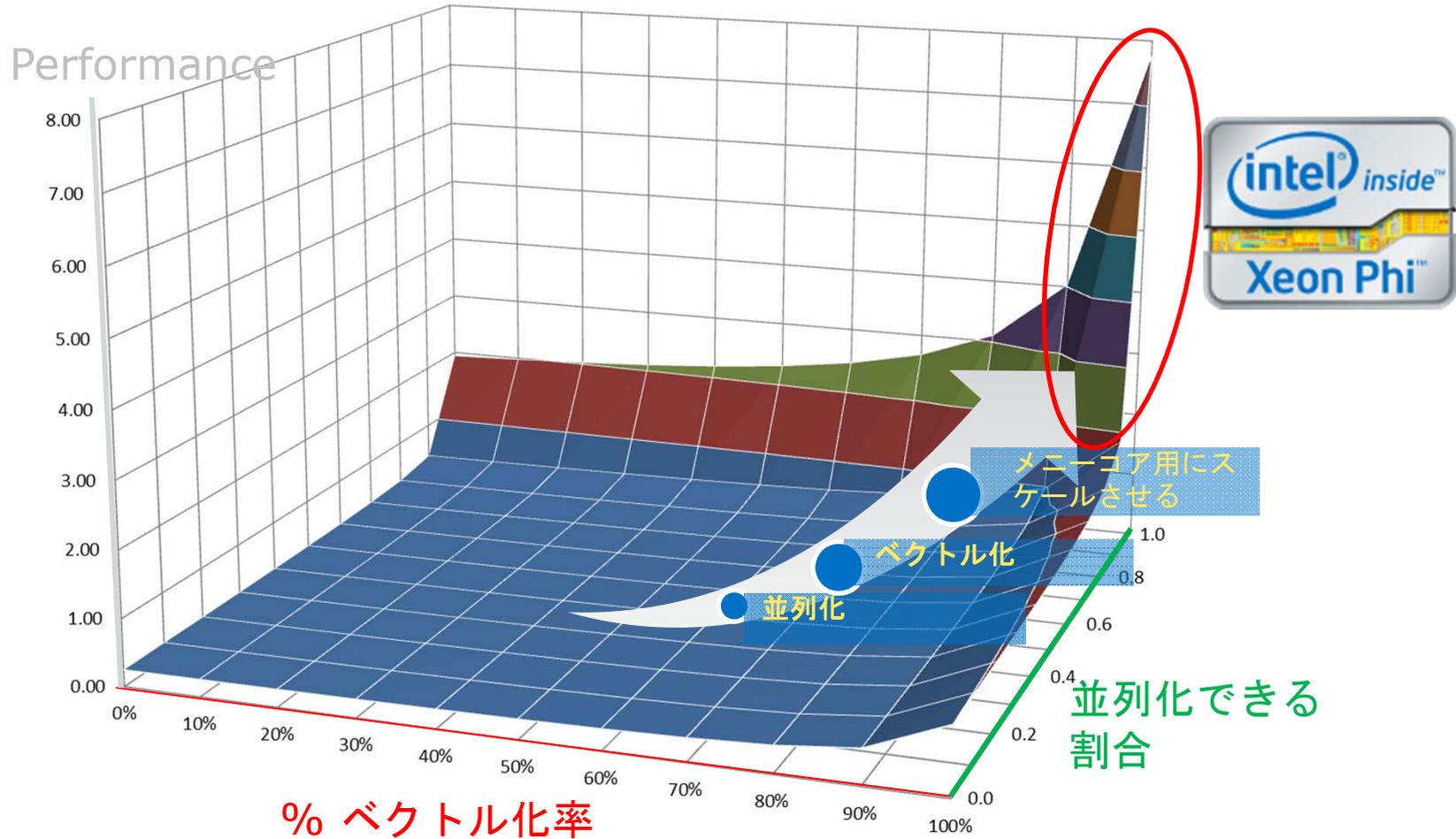
- インテル® Xeon™ プロセッサーとインテル® Xeon Phi™ コプロセッサー
- Phi コプロセッサーの高並列アーキテクチャ
- Phi コプロセッサーに適したアプリ領域とプログラミング環境
- 現状の性能データ
- まとめ

インテル® Xeon Phi™ コプロセッサへのワークロード適合性



実行アプリケーションがスレッドやベクトル化、またはメモリBWで性能向上が得られる場合 → Intel® Xeon Phi™ コプロセッサ

インテル® Xeon Phi™ コプロセッサのワークロード スケーラビリティ



対象となる技術計算市場とアプリケーション

領域	アプリケーション/ワークロード <i>Intel® Xeon Phi™ アプリ候補</i>
公共セクタ (研究所)	 HPL, HPCC, NPB, LAMMPS, QCD
エネルギー (オイル&ガスを含む)	 RTM (Reverse Time Migration), WEM (Wave Equation Migration)
気象モデルと天候シミュレーション	 WRF, HOMME
金融解析	 Monte Carlo, Black-Scholes, Binomial model, Heston model
生命科学 (分子動力学, 遺伝Gene Sequencing, Bio-Chemistry)	 LAMMPS, NAMD, AMBER, HMMER, BLAST, QCD, CHARMM
製造業 CAD/CAM/CAE/CFD/EDA	 Implicit, Explicit Solvers
デジタル・コンテンツ・クリエーション	 Ray Tracing, Animation, Effects
ソフトウェア開発環境やエコシステム	Tools, Middleware

ISV とエンド・ユーザでの開発

拡大するエコシステム:

Intel® Xeon Phi™ coprocessors で現在開発中



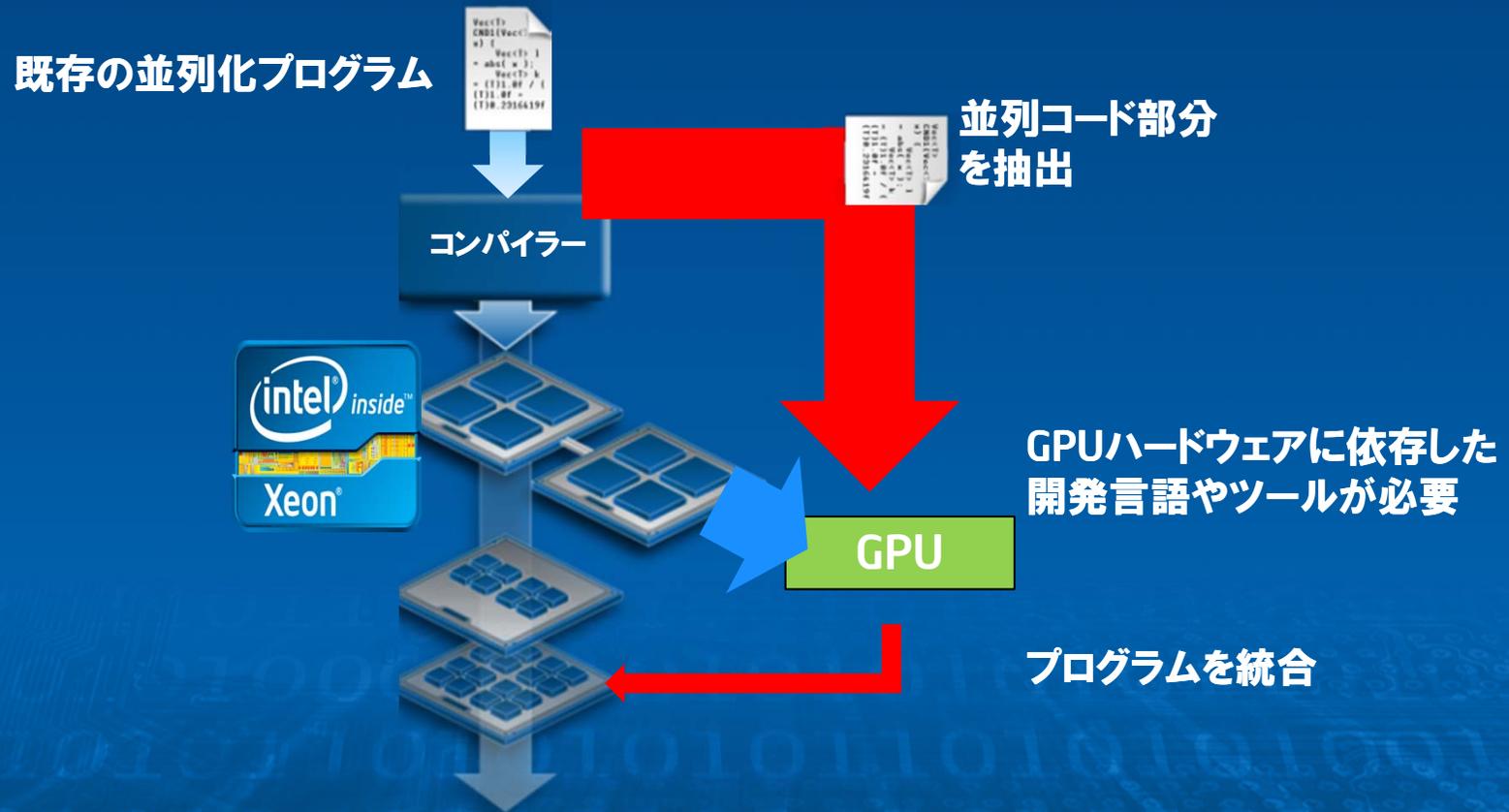
プログラミングの可搬性: 重要な特長

インテルは、インテルのHPC技術結集したサーバー上で性能を発揮する並列プログラムを開発するための、汎用のプログラム開発環境を提供してサポートする

利点:

- 1つのコードベースで、インテル® Xeon® プロセッサと インテル® Xeon Phi™ コプロセッサの両方に対応するプログラムの保守開発可能
 - 標準化された開発環境に基づいた開発
 - ほとんどの利用者は インテル Xeon プロセッサを使用した開発機上で最適化したプログラムからXeon Phi コプロセッサの最適化を始める
 - 多くの場合、 Xeon Phi コプロセッサ用に行った最適化は、Xeon プロセッサ上でも有効となる
- インテル® Xeon Phi™ コプロセッサへの移植を容易にする
 - GPU や 他のアクセラレータと異なり、すぐにプログラムを実行可能
 - あまり手間をかけることなく性能向上を得ることが可能
 - 初期の性能が目標より低い場合、開発者は、
 - 直ぐに性能の判断 (新しいアーキテクチャで動作するようにコーディングする立ち上げ時間要)
 - 最適化や開発の生産性に関しても慣れたプログラミングモデル、言語、業界標準で判断

GPUでのプログラミング



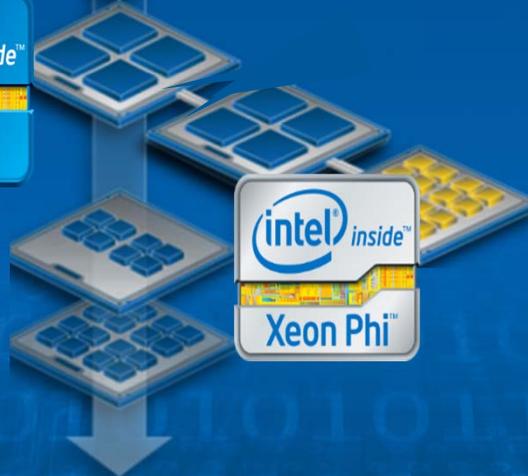
CPUとGPUでそれぞれ異なるプログラミングが必要

インテル® Xeon Phi™ コプロセッサでのプログラミング

既存のプログラム



コンパイラ
ランタイム



CPU とインテル® Xeon Phi™ コプロセッサは共通のプログラミング環境

*R. Harrison, "Opportunities and Challenges Posed by Exascale Computing
- ORNL's Plans and Perspectives", National Institute of Computational Sciences, Nov 2011"

Other brands and names are the property of their respective owners.

© 2013 Intel Corporation. 無断での引用、転載を禁じます。



簡単な例

Intel® Xeon Running Serial Code



67.097
SECONDS

SERIAL CODE

```
do i = 1, 20
  offset = i*128
  do j = 1, 5000000
    do k = 1, 128
      fa(k+offset) = a * fa(k+offset) + fb(k+offset)
    end do
  end do
end do
```

100x の性能を実現？

Intel® Xeon Running Serial Code



67.097
SECONDS

Intel® Xeon Phi™ Parallelized Code



0.197 **340X?**
SECONDS FASTER

**PARALLEL
CODE**

```
!$OMP PARALLEL do PRIVATE(j,k)
```

```
do i = 1, 20
```

```
offset = i*128
```

```
do j = 1, 5000000
```

```
!dir$ vector aligned
```

```
do k = 1, 128
```

```
fa(k+offset) = a * fa(k+offset) + fb(k+offset)
```

```
end do
```

```
end do
```

```
end do
```

同じコードでインテル®Xeon® の性能も改善!

Intel® Xeon Running Serial Code



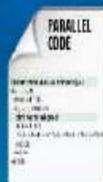
67.097
SECONDS

Intel® Xeon Parallelized Code



0.46 **145X**
SECONDS FASTER

Intel® Xeon Phi™ Parallelized Code



0.197 **2.3X!**
SECONDS FASTER

PARALLEL CODE

```
!$OMP PARALLEL do PRIVATE(j,k)
do i = 1, 20
  offset = i*128
  do j = 1, 5000000
    !dir$ vector aligned
    do k = 1, 128
      fa(k+offset) = a * fa(k+offset) + fb(k+offset)
    end do
  end do
end do
```

インテル® Xeon Phi™ コプロセッサで 結果を得るには

並列化とベクトル化による最適化を行う

- 簡単なコーディング作業ではないかもしれない

高並列のデバイスには、高並列のプログラムが必要

必要以上に難しくしないことを提案している

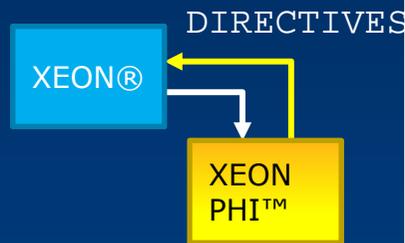
- 既にある標準ツールをないがしろにしない
- 既にプロセッサ一用に使っている同じ言語、並列計算モデルとツールを使う
- 現在の開発と将来への投資を大事に扱う

フレキシブルな実行モデル

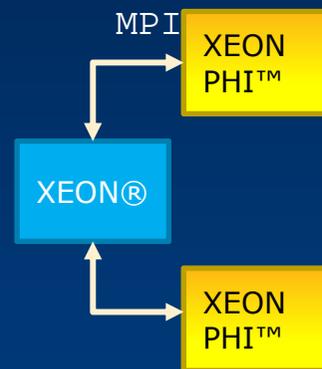
様々な実行モデルに対応することが可能



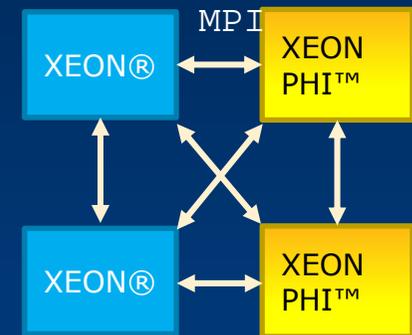
ネイティブ
実行



オフロード実行

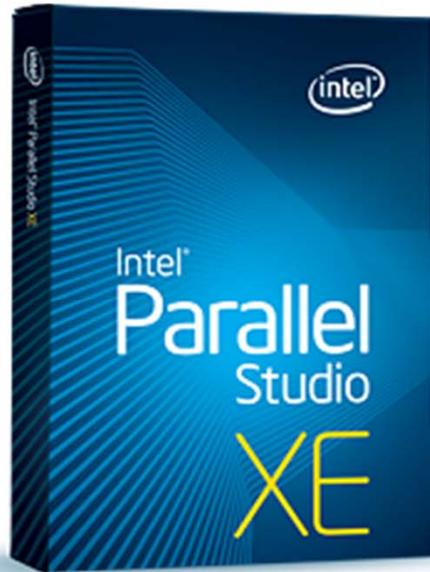


コ・ワーカー



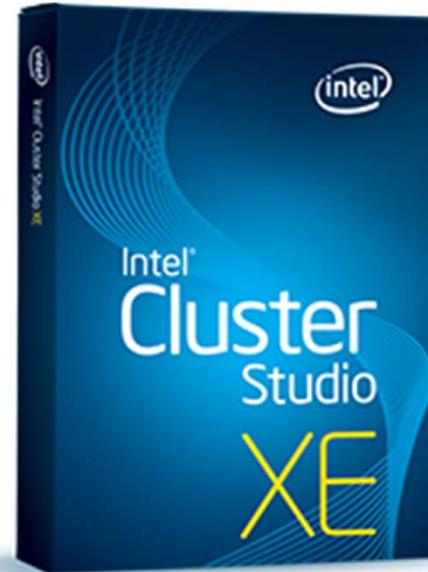
シンメトリック

インテル® ソフトウェア開発製品



Advanced Performance

C++ および Fortran コンパイラー
インテル® MKL/インテル® IPP ライブラリー
と解析ツール
IA ベース・マルチコア・ノード上の
Windows* および Linux* 開発者向け



Distributed Performance

MPI クラスターツールと C++ および Fortran
コンパイラー、インテル® MKL/インテル® IPP
ライブラリーと解析ツール
IA ベースのクラスター上の Windows* および
Linux* 開発者向け



インテル® ソフトウェア開発製品 (インテル Xeon® Phi™ コプロセッサ対応ツール)



インテル® Paralel Studio XE 2013

- インテル® Advisor XE
- ✓ インテル® C++ コンパイラー
- ✓ インテル® Fortran コンパイラー
- ✓ インテル® MKL
- インテル® IPP
- ✓ インテル® TBB
- インテル® Inspector XE
- ✓ インテル® VTune™ Amplifier XE

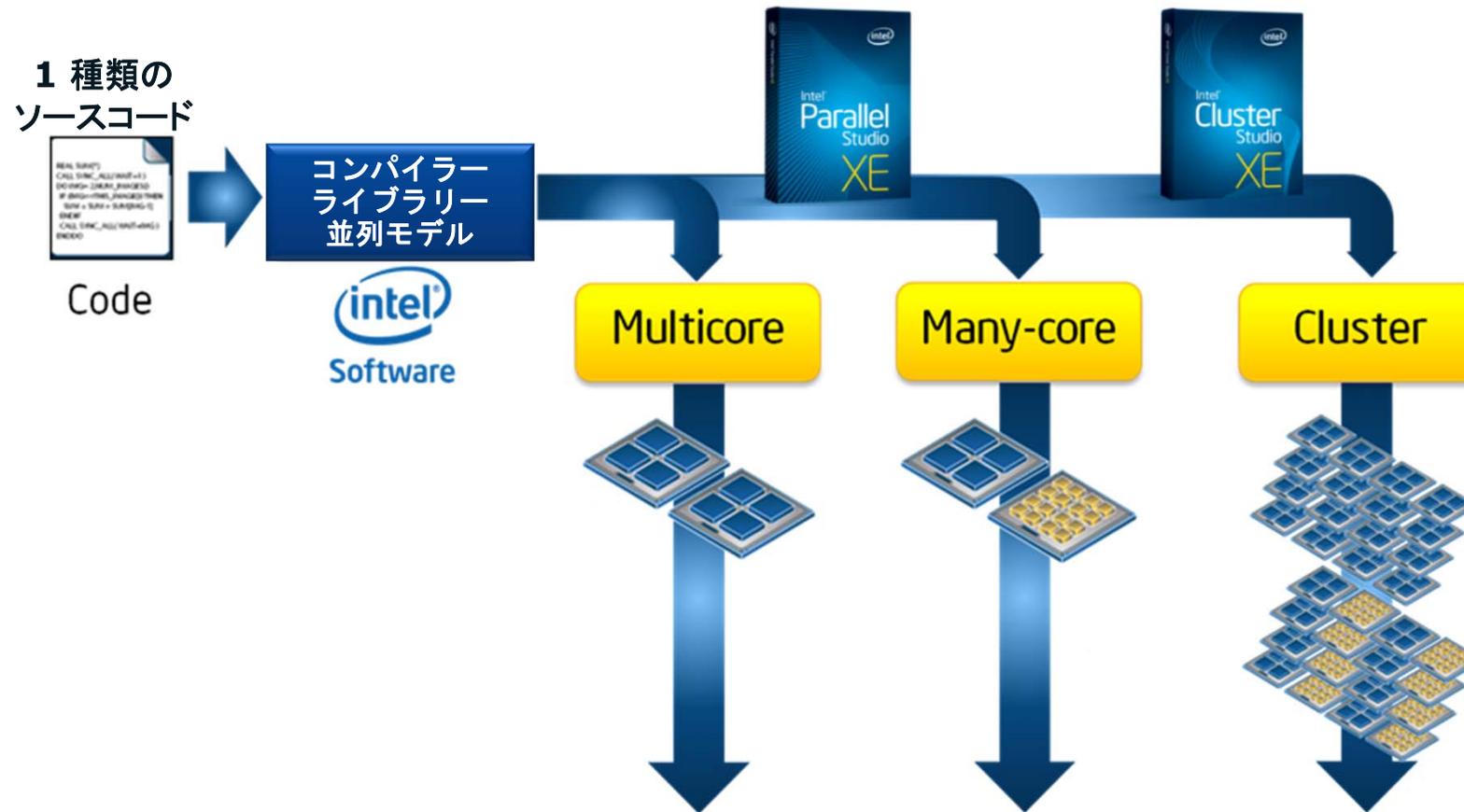


インテル® Cluster Studio XE 2013

- インテル® Advisor XE
- ✓ インテル® C++ コンパイラー
- ✓ インテル® Fortran コンパイラー
- ✓ インテル® MKL
- インテル® IPP
- ✓ インテル® TBB
- インテル® Inspector XE
- ✓ インテル® VTune™ Amplifier XE
- ✓ インテル® MPI ライブラリー
- ✓ インテル® Trace Analyzer/Collector

- 対応は Linux 版のみ
- 詳細は各製品のリリースノートやドキュメント等をご参照ください

インテル® ソフトウェア開発製品の活用



共通のソースコードから複数のプラットフォームへの対応が可能

並列化手法の比較

IA の利点: 多様な開発手法から選択可能

並列化手法

Intel® Math Kernel Library,
Intel MPI*

OpenMP*

Intel® Threading Building
Blocks
Intel® Cilk™ Plus

Pthreads*

ベクトル化手法

Intel® Math Kernel Library

自動ベクトル化

半自動ベクトル化:
#pragma (vector, ivdep, simd)

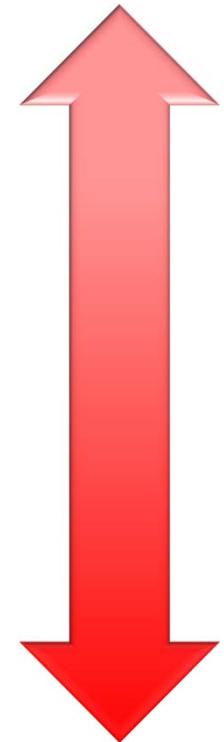
アレイノテーション: Intel® Cilk™ Plus

C/C++ Vector Classes
(F32vec16, F64vec8)

OpenCL*

Intrinsics

容易性



詳細な制御

インテル® Xeon Phi™ コプロセッサ での 実行方法

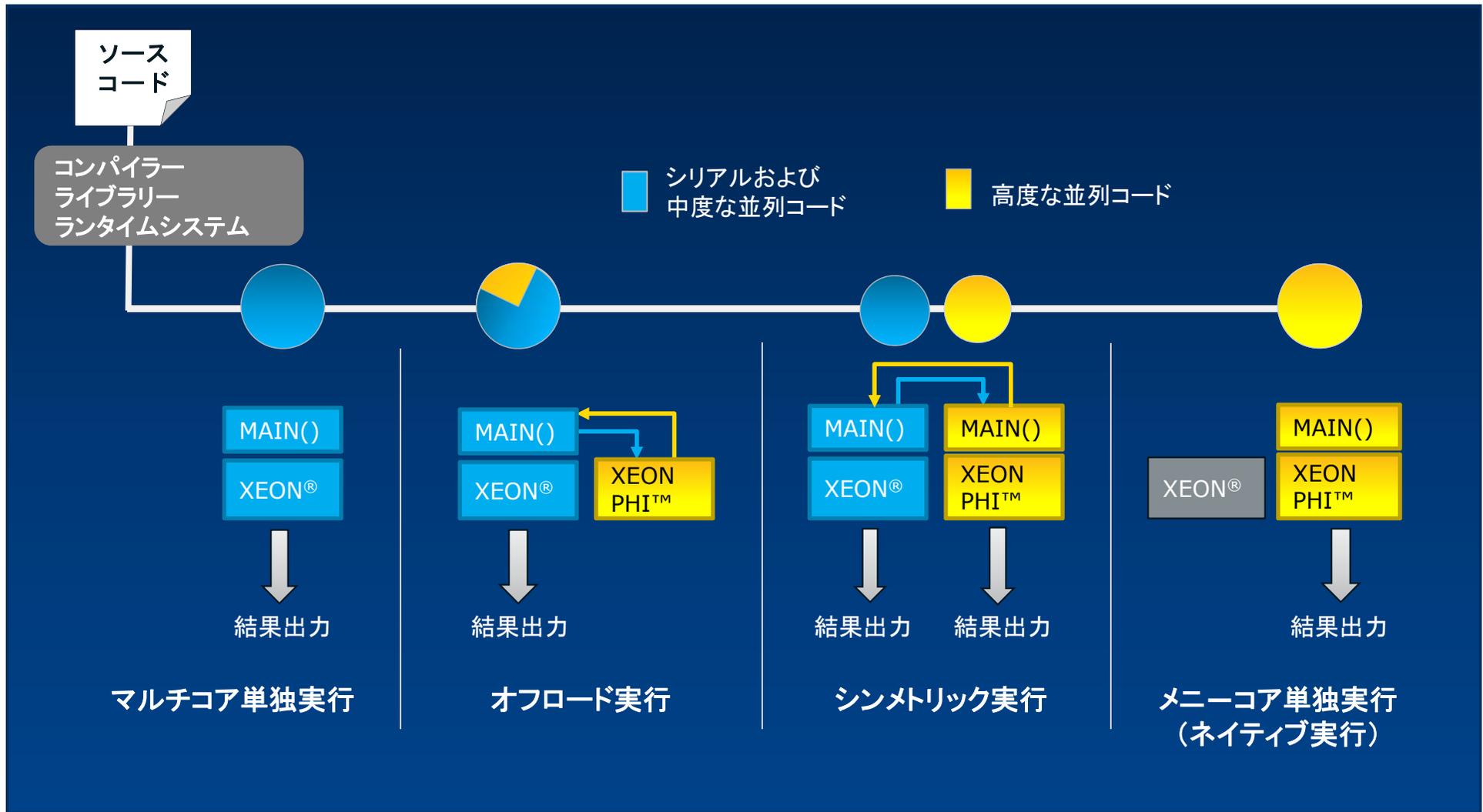
直接実行（ネイティブ）

- インテル® Xeon Phi™ コプロセッサで直接実行する
- アプリケーション・プログラムの変更せずに、再コンパイルだけで実行することができる

オフロード実行

- ホストのインテル® Xeon® プロセッサ側で実行し、高負荷の演算部分のみをインテル® Xeon Phi™ コプロセッサにオフロード
- 実行に最も時間を要しているループ領域などに、オフロード指示文を入れて、明示的にオフロードを指定する

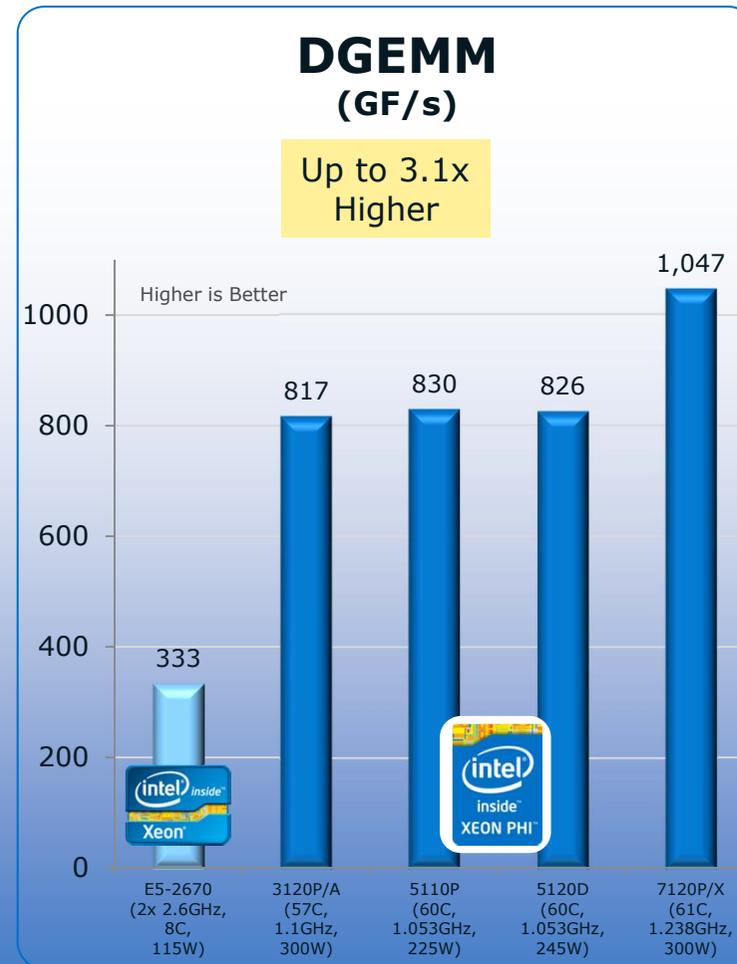
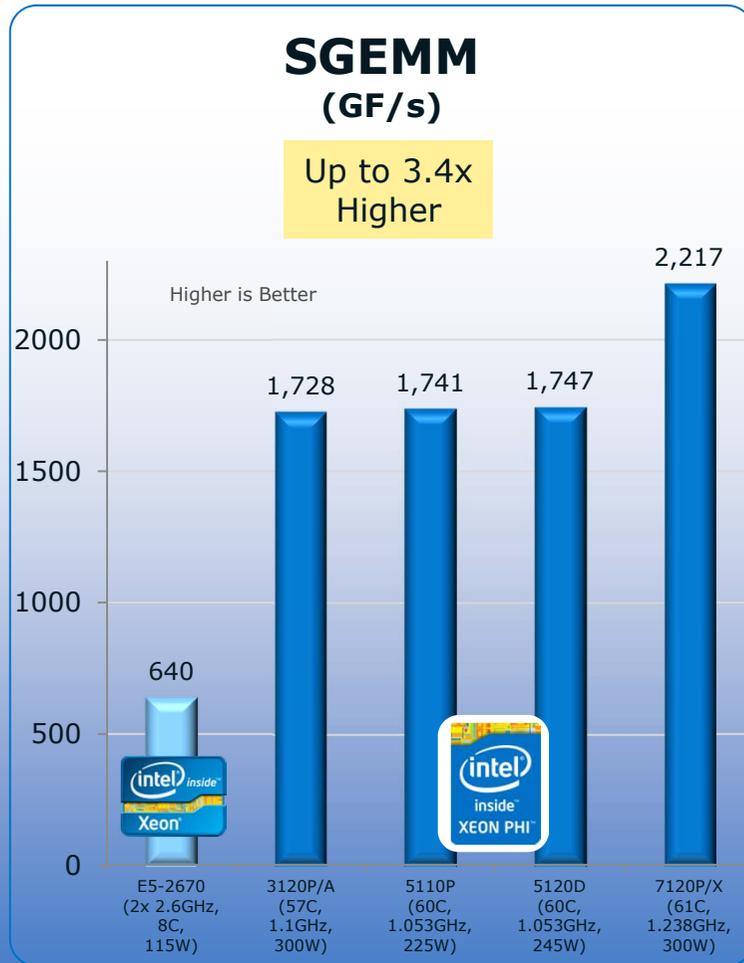
実行モデルの概要



内容

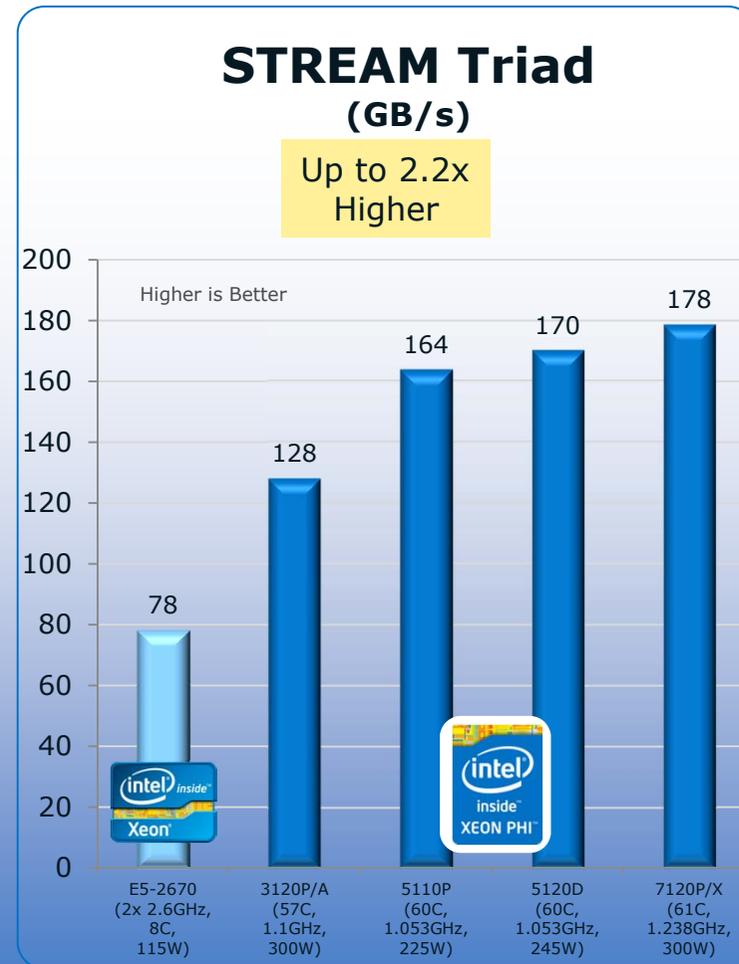
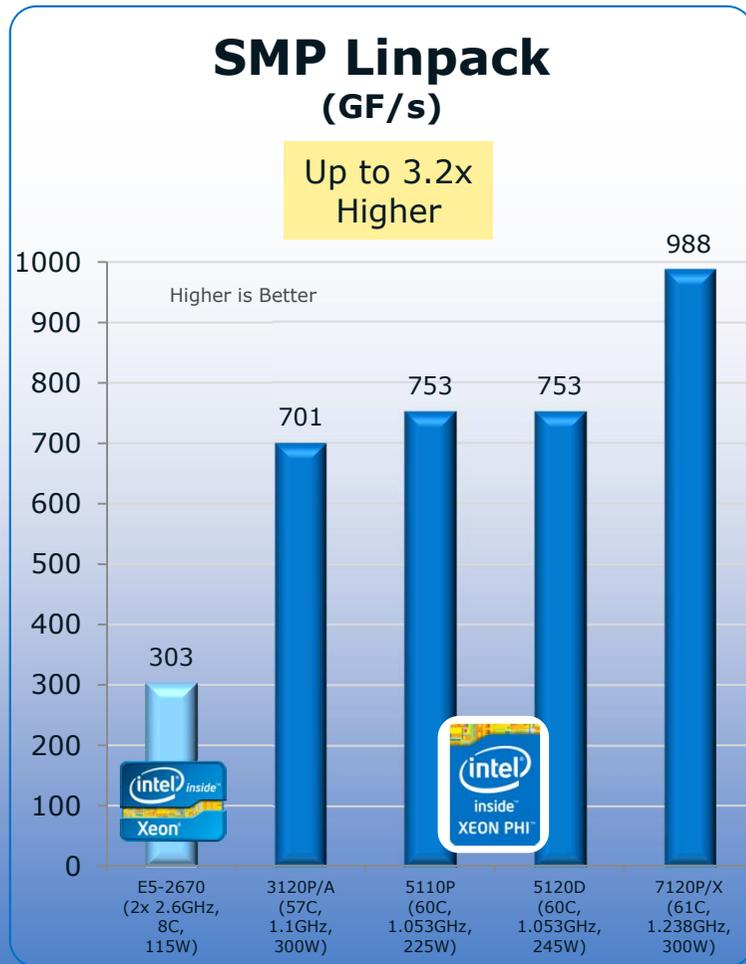
- インテル® Xeon™ プロセッサーとインテル® Xeon Phi™ コプロセッサー
- Phi コプロセッサーの高並列アーキテクチャ
- Phi コプロセッサーに適したアプリ領域とプログラミング環境
- 現状の性能データ
- まとめ

代表的ベンチマーク結果(Intel® MKL) (1 of 2)



Software and workloads used in performance tests may have been optimized for performance only on Intel microprocessors. Performance tests, such as SYSmark and MobileMark, are measured using specific computer systems, components, software, operations and functions. Any change to any of those factors may cause the results to vary. You should consult other information and performance tests to assist you in fully evaluating your contemplated purchases, including the performance of that product when combined with other products. Source: Intel as of August 6, 2013 Configuration Details: Please reference slide speaker notes. For more information go to <http://www.intel.com/performance>

代表的ベンチマーク結果 (Intel® MKL) (2 of 2)



Software and workloads used in performance tests may have been optimized for performance only on Intel microprocessors. Performance tests, such as SYSmark and MobileMark, are measured using specific computer systems, components, software, operations and functions. Any change to any of those factors may cause the results to vary. You should consult other information and performance tests to assist you in fully evaluating your contemplated purchases, including the performance of that product when combined with other products. Source: Intel as of August 6, 2013 Configuration Details: Please reference slide speaker notes. For more information go to <http://www.intel.com/performance>

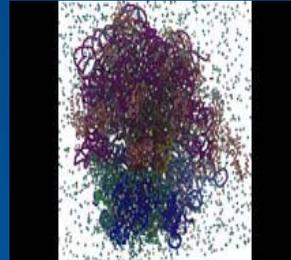
実アプリケーション性能

レイトレーシング



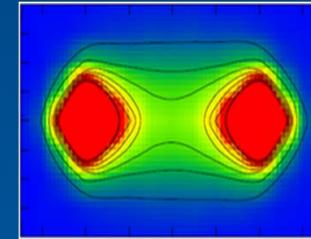
インテルラボ レイトレーシング: **1.8倍**

分子動力学



Los Alamos 分子動力学: **2.52倍**

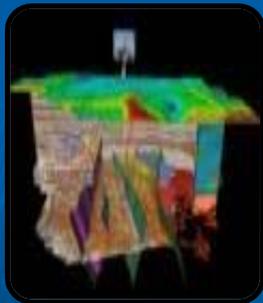
素粒子シミュレーション



Jefferson Labs
Lattice QCD: **2.27倍**

Photo Credit: Wikipedia: http://en.wikipedia.org/wiki/Quantum_chromodynamics

エネルギー採掘



Acceleware
8th order isotropic variable velocity: **2.05倍**

有限要素法

Sandia Labs
MiniFE: **1.7倍**⁴

金融工学



BlackScholes SP: **10.75倍**⁶
Monte Carlo SP **8.92倍**

Notes:

1. 25 Intel® Xeon® processor X5690 vs. 25 Xeon® + 1 Intel® Xeon Phi™ coprocessor (pre production HW/SW)
2. 25 Intel® Xeon® processor E5-2687 vs. 1 Intel® Xeon Phi™ coprocessor (preproduction HW/SW) (960 versions of improved workload)
3. 25 Intel® Xeon® processor E5-2680 vs. 1 Intel® Xeon Phi™ coprocessor (preproduction HW/SW)
4. 4 node cluster, each node with 25 Intel® Xeon® processor E5-2867 (comparison is cluster performance with and without 1 pre-production Intel® Xeon Phi™ coprocessor per node)
5. Includes additional FLOPS from transcendental function unit

Software and workloads used in performance tests may have been optimized for performance only on Intel microprocessors. Performance tests, such as SYSmark and MobileMark, are measured using specific computer systems, components, software, operations and functions. Any change to any of those factors may cause the results to vary. You should consult other information and performance tests to assist you in fully evaluating your contemplated purchases, including the performance of that product when combined with other products.
Source: Intel Measured results as of October 17, 2012. Configuration Details: Please reference slide speaker notes.
For more information go to <http://www.intel.com/performance>



まとめ

- インテル®Xeon® プロセッサはHPCでの科学技術計算も含めた、あらゆる用途に幅広く対応できる
- 100スレッドを超える高並列でベクトル化が可能かメモリバンド幅で制限されて性能が得られないものでは、インテル®Xeon Phi™ コプロセッサで高性能化の可能性がある
- 大学／研究所、エネルギー、気象、金融、生命科学、製造業、DCC等の分野にPhiに適したアプリケーションが期待されているが、商用アプリは少なく、ユーザがプログラムを行う必要がある
- インテルは両 Xeon 用に標準化された共通の方法で並列化等の最適化を行うツールを提供しており、将来にわたって、ソフトウェア資産の継続的な利用を目指す

Knights Landing: 次世代の Intel® Xeon Phi™

Intel'の最新技術で設計
**14nm トランジスタ
技術**



Intel はトランジスタ技術で3年程度業界をリード: 14nmの技術は前世代のプロセッサ¹に対して、更なる計算密度の増加と電力あたりの計算能力

“オフロード” のボトルネックに縛られない
**単独CPU または
PCIe コプロセッサ**



Knights Landing は単独のホストプロセッサとして基板上に実装することが可能で、計算密度、電力効率と信頼性を一弾と向上

共通の命令セット構成
**Intel® Advanced Vector
Extensions 512**



Knights Landing の後で発表予定の将来のIntel® Xeon®プロセッサでサポートされる、次世代512ビット命令セット(AVX-512)と共通でバックワード・コンパチビリティを持つ

計算とメモリバンド幅でリード
**統合化したオンパッケージ
メモリ**



オンパッケージメモリの採用でメモリバンド幅を大幅に改善、メモリバンド幅で律速されるアプリケーションでより優れた性能を実現し、エクサスケールのメモリの壁越えを援助

¹ http://newsroom.intel.com/community/intel_newsroom/blog/2013/09/10/new-intel-ceo-president-outline-product-plans-future-of-computing-vision-to-mobilize-intel-and-developers

Knights Landing オンパッケージ メモリ

キャッシュ
モデル

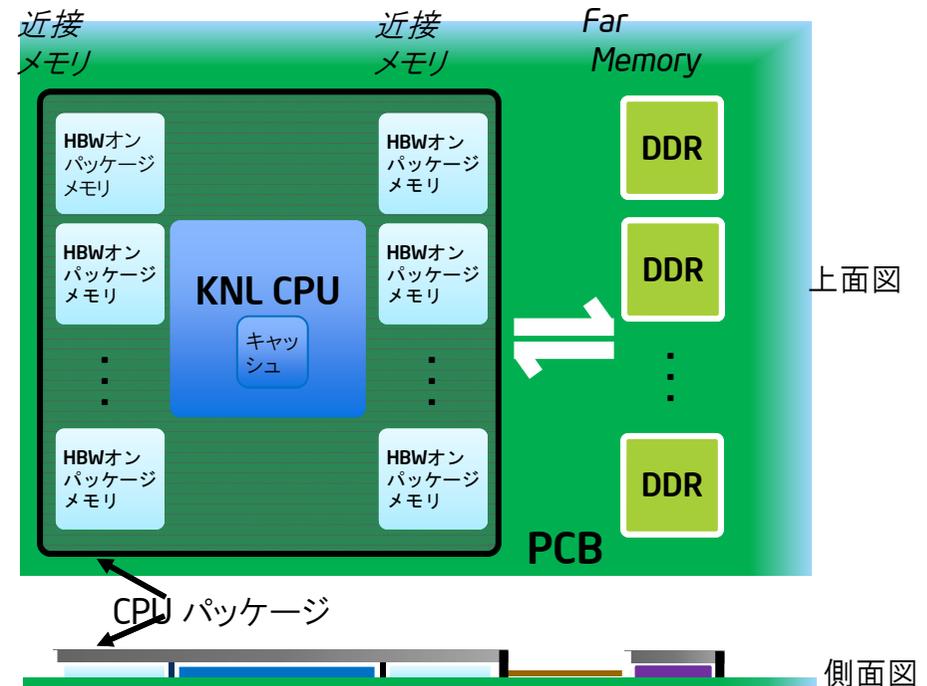
HWが自動的に管理して、KNL CPU内蔵オンパッケージメモリと外部 DDRメモリ間の“L3”キャッシュとして動作

フラット
モデル

アプリケーションがどのように内蔵オンパッケージメモリとDDRメモリを使うのかユーザが制御して最高性能を得る

ハイブリッド
モデル

内蔵オンパッケージメモリを分割してキャッシュ、フラットの両者の利点を合わせる



高いメモリ転送バンド幅と汎用性で最大の性能を*

*Intel® Xeon Phi™ x100 ファミリと比較した場合。図はCPUとメモリの関係を示す概念図 - スケールせず、実際のコンポーネント配置図とは異なる

法務上の注意書きと最適化に関する注意事項

本資料の情報は、現状のまま提供され、本資料は、明示されているか否かにかかわらず、また禁反言によるとよらずにかかわらず、いかなる知的財産権のライセンスを許諾するものではありません。製品に付属の売買契約書『Intel's Terms and Conditions of Sale』に規定されている場合を除き、インテルはいかなる責任を負うものではなく、またインテル製品の販売や使用に関する明示または黙示の保証(特定目的への適合性、商品性に関する保証、第三者の特許権、著作権、その他、知的財産権の侵害への保証を含む)をするものではありません。

性能に関するテストや評価は、特定のコンピューター・システム、コンポーネント、またはそれらを組み合わせて行ったものであり、このテストによるインテル製品の性能の概算の値を表しているものです。システム・ハードウェアの設計、ソフトウェア、構成などの違いにより、実際の性能は掲載された性能テストや評価とは異なる場合があります。システムやコンポーネントの購入を検討される場合は、ほかの情報も参考にして、パフォーマンスを総合的に評価することをお勧めします。インテル製品の性能評価についてさらに詳しい情報をお知りになりたい場合は、http://www.intel.co.jp/performance/resources/benchmark_limitations.htm を参照してください。

Intel、インテル、Intel ロゴ、Intel Core、Xeon、Cilk、VTune は、アメリカ合衆国および / またはその他の国における Intel Corporation の商標です。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

最適化に関する注意事項

インテル® コンパイラーは、互換マイクロプロセッサ向けには、インテル製マイクロプロセッサ向けと同等レベルの最適化が行われられない可能性があります。これには、インテル® ストリーミング SIMD 拡張命令 2 (インテル® SSE2)、インテル® ストリーミング SIMD 拡張命令 3 (インテル® SSE3)、ストリーミング SIMD 拡張命令 3 補足命令 (SSSE3) 命令セットに関連する最適化およびその他の最適化が含まれます。インテルでは、インテル製ではないマイクロプロセッサに対して、最適化の提供、機能、効果を保証していません。本製品のマイクロプロセッサ固有の最適化は、インテル製マイクロプロセッサでの使用を目的としています。インテル® マイクロアーキテクチャーに非固有の特定の最適化は、インテル製マイクロプロセッサ向けに予約されています。この注意事項の適用対象である特定の命令セットの詳細は、該当する製品のユーザー・リファレンス・ガイドを参照してください。

改訂 #20110804

